

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-301642

(43)Date of publication of application : 13.11.1998

(51)Int.Cl.

G05F 1/56
H03F 3/45

(21)Application number : 09-109703

(71)Applicant : SEIKO INSTR INC

(22)Date of filing : 25.04.1997

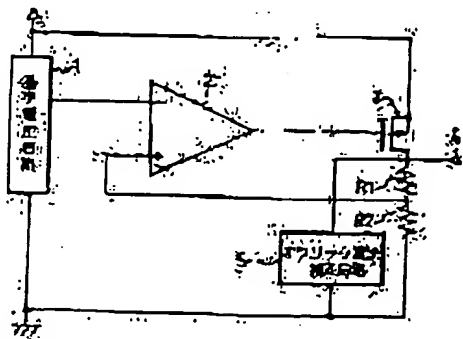
(72)Inventor : NAKASHITA TAKAO

(54) VOLTAGE REGULATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the increase an output voltage due to the influence of off-leakage without increasing the threshold voltage of an output transistor by adding a circuit for making the current of a size about the same as the off-leakage of the output transistor flow.

SOLUTION: The output voltage of a reference voltage circuit 1 and the voltage of an output terminal 4 are divided in resistors R1 and R2, the divided voltages are compared in an error amplifier circuit 2 and the output transistor 3 is controlled. Then, the current made to flow to the output transistor is defined as I_{out} , the I_{out} is turned to the current made to flow to breeder resistors R1 and R2 and the off-leakage current of the output transistor 3 at the time of non-load, and at the time, an off-leakage current correction circuit 5 pulls in the current of the size about the same as the off-leakage current made to flow to the output transistor 3. Thus, the off-leakage current of the output transistor 3 made to flow to the resistors R1 and R2 is reduced and the rise of the output voltage is suppressed.



LEGAL STATUS

[Date of request for examination]

10.12.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3452459

[Date of registration]

18.07.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

Searching PAJ

2/2 ページ

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-301642

(43) 公開日 平成10年(1998)11月13日

(51) Int. Cl.⁶
G 0 5 F 1/56
H 0 3 F 3/45

識別記号
3 1 0

F I
G 0 5 F 1/56 3 1 0 G
H 0 3 F 3/45 B

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願平9-109703

(22) 出願日 平成9年(1997)4月25日

(71) 出願人 000002325

セイコーインスツルメンツ株式会社
千葉県千葉市美浜区中瀬1丁目8番地

(72) 発明者 中下 貴雄

千葉県千葉市美浜区中瀬1丁目8番地 セ
イコー電子工業株式会社内

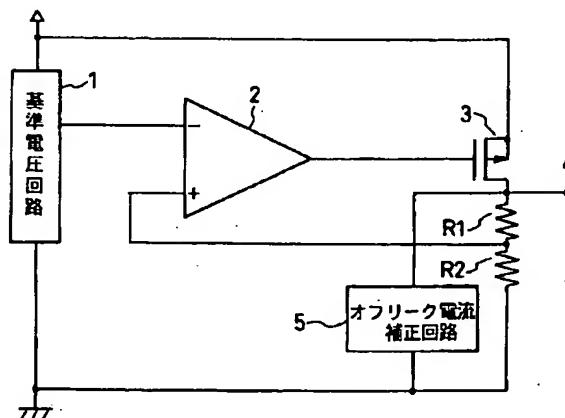
(74) 代理人 弁理士 林 敬之助

(54) 【発明の名称】 ボルテージレギュレータ

(57) 【要約】

【課題】 出力電流が少なくなっても一定の出力電圧を出力するボルテージレギュレータを得る。

【解決手段】 ボルテージレギュレータにおいて出力トランジスタのオフリークと同等の電流を流す回路を付加することによりボルテージレギュレータの出力トランジスタの V_{th} を高めず、かつオフリークによる出力電圧の上昇を抑えることができる。



REST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 基準電圧源と、該基準電圧源の出力をその一方の入力に受ける誤差増幅回路と、該誤差増幅回路の出力によって制御される出力トランジスタと、該出力トランジスタと直列に接続され、分圧電圧を前記誤差増幅器の他方の入力に接続する分圧抵抗と、該分圧抵抗と並列に接続され、前記出力トランジスタのオフリーク電流と同程度の電流を流すオフリーク電流補正回路とから構成されることを特徴とするボルテージレギュレータ。

【請求項2】 請求項1に記載のボルテージレギュレータに、負荷が重い時には前記オフリーク電流補正回路の動作を停止させる制御回路をさらに付加したことを特徴とするボルテージレギュレータ。

【請求項3】 前記制御回路は、前記誤差増幅器の出力を用いて、負荷が重い時に前記オフリーク電流補正回路への電流供給を停止するように構成された請求項2に記載のボルテージレギュレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はCMOSモノリシックIC化されたボルテージレギュレータに関する。

【0002】

【従来の技術】従来の正の出力電圧を持つボルテージレギュレータの回路図を図2に示す。基準電圧回路1の出力電圧と出力端子4の電圧を抵抗R1とR2で分割された電圧は誤差増幅回路2で比較され、出力トランジスタ3を制御する。出力端子4の電圧を抵抗R1とR2で分割した電圧が、基準電圧回路1の出力電圧より小さければ、誤差増幅回路2の出力は小さくなり出力トランジスタ3を強くバイアスし、出力端子4の電圧は大きくなる。逆に出力端子4の電圧を抵抗R1とR2が分割した電圧が基準電圧回路1の出力電圧より大きくなると、出力トランジスタ3を弱くバイアスして、出力端子電圧は小さくなる。このようにして出力端子4の電圧は一定に保たれる。

【0003】

【発明が解決しようとする課題】従来の正の出力電圧を持つボルテージレギュレータは、出力電流が小さくなると出力トランジスタ3は出力電流を絞るようになる。さらに出力電流が小さくなると、出力トランジスタ3はほとんどoffするが、出力トランジスタのW長が大きい場合出力トランジスタ3がoffしても出力端子4には出力トランジスタ3のオフリーク電流が抵抗を流れ、出力端子4の電圧は上昇する。仮に出力トランジスタ3のオフリーク電流を I_{leak} 、負荷電流を I_{load} とすると、出力電流が小さい時は $I_{load} < I_{leak}$ であるため出力電圧は $(R1+R2) \times I_{leak}$ となり、出力端子4の電圧は抵抗R1とR2の比とで設定した電圧よりも高くなってしまふ。図5の出力電圧と出力電流のグラフの実線で示すように出力電流が小さくなるほど出力トランジスタ3のリーク電流

の影響が大きくなり、出力端子4の電圧は高くなる。

【0004】一般にはこの出力電圧の上昇を抑えるには出力トランジスタのしきい値電圧 V_{th} を上げオフリーク電流を抑える。しかし V_{th} を上げると出力トランジスタ3の駆動能力が小さくなってしまふ。

【0005】

【課題を解決するための手段】上記課題を解決するために、この発明は出力トランジスタ3のオフリーク電流と同程度の大きさの電流を流す回路を付加し、出力トランジスタ3の V_{th} を高めることに依る出力トランジスタ3の駆動能力の低下無しに、オフリーク電流に依る出力端子4の電圧が上昇する事を防ぐことができる。

【0006】

【発明の実施の形態】この発明の実施の形態を図に基づいて説明する。本発明による正の出力電圧を持つボルテージレギュレータの回路図を図1に示す。基準電圧回路1の出力電圧と出力端子4の電圧を抵抗R1とR2で分割された電圧は誤差増幅回路2で比較され、出力トランジスタ3を制御する。出力トランジスタ3に流れる電流を I_{out} とする。無負荷時は、 I_{out} は出力トランジスタ3のオフリーク電流とプリーダ抵抗R1とR2に流れる電流となる。高温時には出力トランジスタのオフリーク電流が増大する。この時オフリーク電流補正回路5は、出力トランジスタ3に流れるオフリーク電流と同程度の大きさの電流を引き込む。これにより、抵抗R1とR2を流れる出力トランジスタ3のオフリーク電流を減少させ、出力電圧の上昇を抑えることが可能となる。

【0007】本発明による正の出力電圧を持つボルテージレギュレータの別の実施例を図3に示す。トランジスタ6に流れる電流をIとする。トランジスタ6には出力トランジスタ3とトランジスタ6のサイズ比に応じて I_{out} (出力トランジスタ3のオフリーク電流) に比例したオフリーク電流Iが流れる。出力トランジスタ3のゲート長をL1、ゲート幅をW1、トランジスタ6のゲート長をL2、ゲート幅をW2とするとIと I_{out} の比は $I/I_{out} = (W2/L2) / (W1/L1)$ となる。

【0008】この比の電流がトランジスタ6に流れる。そしてトランジスタ6と同一の電流がトランジスタ7に流れ、トランジスタ7と8のトランジスタサイズの比に応じてトランジスタ7と8には比例した電流が流れる。出力トランジスタ3のオフリーク分の電流値と同等の電流値をトランジスタ8により引き込むため、図5の出力電流と出力電圧のグラフの点線で示すように、出力トランジスタ3のオフリークによる出力電圧の上昇を抑える事ができる。

【0009】例えば、出力トランジスタ3のサイズ比が $W/L = 1000.0/10$ 、無負荷時の出力トランジスタ3のリーク電流が $I_{out} = 1 \mu A$ であるとする。この時、トランジスタ6のサイズ比が $W/L = 10/1000$ であれば、トランジスタ6に流れるオフリーク電流

は、

$$I = ((10/10) / (10000/10)) \times 1 = 0.001 \mu A$$

となる。この時トランジスタ7とトランジスタ8のサイズ比を例えば、

トランジスタ7が $W/L = 5/100$

トランジスタ8が $W/L = 250/5$

にすればトランジスタ8には $1 \mu A$ の電流が流れることになり、出力トランジスタ3のリーク電流と同等の電流を引き込むことになる。

【0010】図4に本発明の請求項1の正の出力電圧を持つボルテージレギュレータの別の実施例を示す。負荷が軽い場合、誤差増幅回路2は出力トランジスタ3を制御し、offさせる傾向にある。この時同じ誤差増幅回路2によってトランジスタ9がoffする。これによりインバータ回路11の入力は定電流回路12によって低レベルに引かれているため、低レベルとなる。このためインバータ回路11はトランジスタ10をonし、出力トランジスタ3のオフリーク電流を補正する回路は動作する。

【0011】負荷が重くなると、トランジスタ9はonし、インバータ回路11の入力は高レベルとなり、トランジスタ10をoffする。トランジスタ10がoffされるためトランジスタ6のオフリーク電流は流れず、出力トランジスタ3のオフリーク電流を補正する回路は停止する。このため負荷が重いとき、出力トランジスタ3のオフリーク電流を補正する回路による、消費電流を減らすことが可能になる。

【0012】

【発明の効果】本発明は、ボルテージレギュレータにお

いて出力トランジスタのオフリークと同程度の大きさの電流を流す回路を付加することにより、ボルテージレギュレータの出力トランジスタの V_{th} を高める（出力トランジスタの駆動能力を落とす）ことなく、出力電流が少なくなってもオフリークの影響による出力電圧の上昇が抑えられるボルテージレギュレータを供給出来る効果がある。

【図面の簡単な説明】

【図1】本発明によるボルテージレギュレータの説明図である。

【図2】従来のボルテージレギュレータの説明図である。

【図3】本発明によるボルテージレギュレータの他の説明図である。

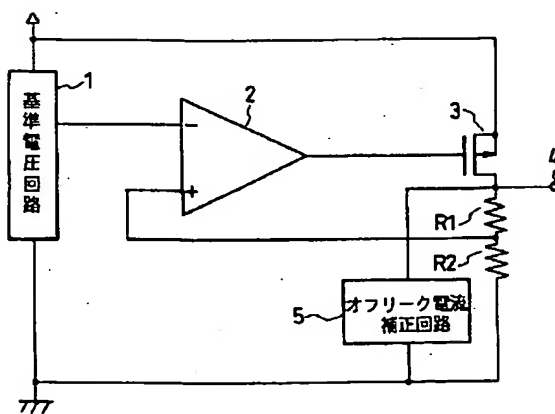
【図4】本発明によるボルテージレギュレータの他の説明図である。

【図5】ボルテージレギュレータの出力電圧と入力電圧のグラフの例である。

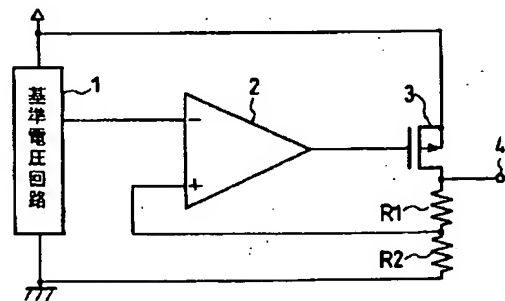
【符号の説明】

- 1 基準電圧回路
- 2 誤差増幅回路
- 3 出力トランジスタ
- 4 出力電圧端子
- 5 オフリーク電流補正回路
- 6~10 MOSトランジスタ
- 11 インバータ回路
- 12 定電流回路
- R1, R2 抵抗

【図1】



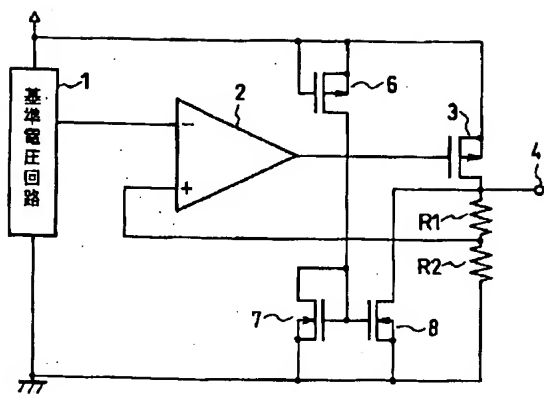
【図2】



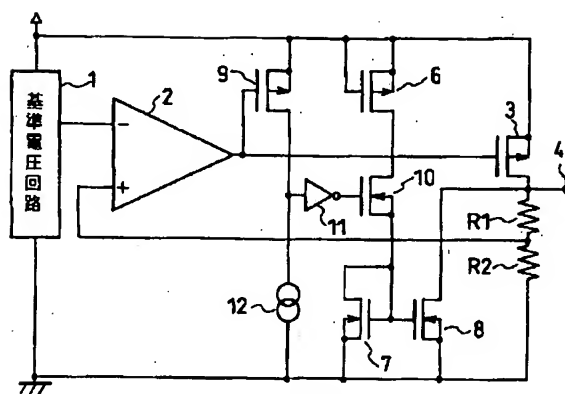
(4)

特開平10-301642

【図3】



【図4】



【図5】

